

CLIPPEDIMAGE= JP408274530A
PAT-NO: JP408274530A
DOCUMENT-IDENTIFIER: JP 08274530 A
TITLE: ADAPTIVE ARRAY ANTENNA SYSTEM

PUBN-DATE: October 18, 1996

INVENTOR-INFORMATION:

NAME
TAKEYA, SHINICHI
YAHAGI, KAZUMI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP07076467
APPL-DATE: March 31, 1995

INT-CL_(IPC): H01Q003/26; G01S007/02 ; H01Q025/02

ABSTRACT:

PURPOSE: To prevent a main beam direction and an unwanted wave suppressing direction from being restricted.

CONSTITUTION: Planar arrays having different antenna opening lengths on respective lines of antenna elements 11-MN are formed, and element output signals are bisectedly opening and analogously added for each line by analog beam forming circuits 21-2M so that two Σ beams can be formed. Next, two Σ beams are respectively frequency-converted and converted into digital signals by signal processing parts 31, 32, 41 and 42, digital beam formation is performed by main beam forming circuits 51 and 52 while using the output signals of respective signal processing parts, and the sum and difference beams are formed from the output signals of two signal processing parts by a hybrid adder circuit. Then, adaptation processing is performed by an adaptive beam forming circuit 70 concerning main beam components acquired by the main beam forming circuits based on the signal of selection control channel obtd. through the combination of at least parts of hybrid input/output signals, and unwanted signal components contained in the respective components are suppressed.

COPYRIGHT: (C)1996,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-274530

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 Q	3/26		H 0 1 Q 3/26	C
G 0 1 S	7/02		G 0 1 S 7/02	D
H 0 1 Q	25/02		H 0 1 Q 25/02	

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平7-76467

(22) 出願日 平成7年(1995)3月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 竹谷 晋一

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

(72) 発明者 矢作 和美

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

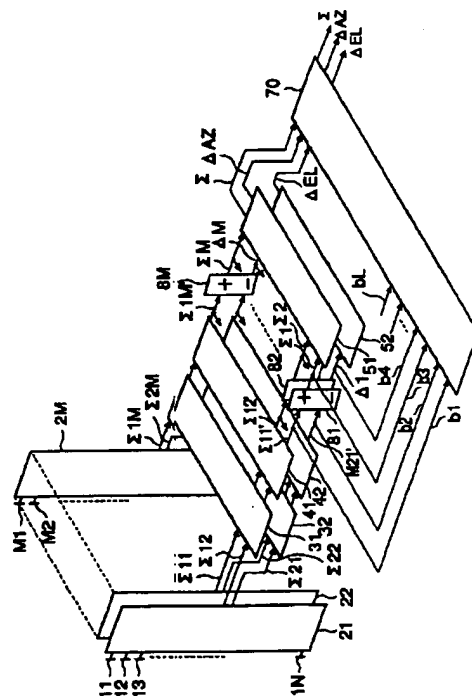
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 アダプティブアレイアンテナ装置

(57) 【要約】

【目的】主ビーム方向、不要波抑圧方向に制約を与えないようにする。

【構成】 アンテナ素子 1 1 ~ MN の各列でアンテナ開口長が異なる面アレイを形成し、アナログビーム形成回路 2 1 ~ 2 M により素子出力信号を列毎に開口 2 分割しアナログ合成して 2 つの Σ ビームを形成し、信号処理部 3 1、3 2、4 1、4 2 により 2 つの Σ ビーム出力をそれぞれ周波数変換してデジタル信号に変換し、主ビーム形成回路 5 1、5 2 により各信号処理部の出力信号を用いてデジタルビーム形成を行い、ハイブリッド合成回路 1 0 1 ~ 1 0 L により 2 つの信号処理部の出力信号から和、差のビームを形成し、アダプティブビーム形成回路 7 0 によりハイブリッド入出力信号の少なくとも一部の組み合わせの選択制御チャンネルの信号に基づいて主ビーム形成回路で得られる主ビーム成分についてアダプテーション処理を行って各成分に含まれる不要信号成分を抑圧するようにした。



1

【特許請求の範囲】

【請求項1】特定方向に沿って複数列に配置され、各列でアンテナ開口長が異なる面アレイを形成する複数のアンテナ素子と、

これら複数のアンテナ素子の出力信号を列毎に開口2分割し、それぞれの列でアナログ合成して第1、第2のΣビームを形成するアナログビーム形成手段と、

前記第1、第2のΣビーム出力を直接または周波数変換した後デジタル信号に変換する信号処理手段と、

この信号処理手段から出力されるデジタル信号を用いてデジタルビーム形成を行うことによりΣビーム、ΔAZビーム、ΔELビームを得る主ビーム形成手段と、

前記信号処理手段から出力されるデジタル信号の和と差をとることにより和ビームと差ビームを形成するハイブリッド合成手段と、

このハイブリッド合成手段の入力信号、出力信号の少なくとも一部の組み合わせにより制御チャンネルを選択し、選択制御チャンネルの信号に基づいて前記主ビーム形成手段で得られるΣビーム、ΔAZビーム、ΔELビームについてアダプテーション処理を行って各成分に含まれる不要信号成分を抑圧するアダプティブビーム形成手段とを具備し、

任意の方向に対して制御チャンネルのレスポンスがあり、かつ任意の方向に制御チャンネル選択について複数の自由度があることを特徴とするアダプティブアレイアンテナ装置。

【請求項2】前記アナログビーム形成手段は、前記主ビーム形成手段の入力のうち制御チャンネルとして選択しない入力に対応する列の出力について、前記ハイブリッド合成手段の代わりにΣビームとΔビームを形成するようにしたことを特徴とする請求項1記載のアダプティブアレイアンテナ装置。

【請求項3】第1の方向に沿って複数列に配置されて面アレイを形成する複数のアンテナ素子と、

これら複数のアンテナ素子の出力信号を複数列で開口2分割し、それぞれの列でアナログ合成して第1のΣビーム及びΔビームを形成する第1のアナログビーム形成手段と、

この手段の選択列以外の列で互いに位相中心が異なる位置にサブアレイを形成し、サブアレイのアンテナ素子出力をアナログ合成して第2のΣビームを形成すると共にサブアレイで分割される領域のアンテナ素子出力を加算して第3のΣビームを形成する第2のアナログビーム形成手段と、

前記第1、第2のΣビーム出力を直接または周波数変換した後デジタル信号に変換する第1の信号処理手段と、前記第3のΣビーム出力及び前記Δビーム出力を直接または周波数変換した後デジタル信号に変換する第2の信号処理手段と、

前記第1の信号処理手段の第2のΣビーム出力と前記第

2

2の信号処理手段の第3のΣビーム出力をデジタル加算する加算手段と、

この手段から出力されるΣビームと前記第1の信号処理手段の第1のΣビームとのΣビーム及びΔAZビームを得る第1の主ビーム形成手段と、

前記第2の信号処理手段のΔビーム出力からΔELビームを得る第2の主ビーム形成手段と、

前記第1の信号処理手段の第2のΣビーム出力の少なくとも一部の組み合わせにより制御チャンネルを選択し、選択制御チャンネルの信号に基づいて前記第1、第2の主ビーム形成手段で得られるΣビーム、ΔAZビーム、ΔELビームについてアダプテーション処理を行って各成分に含まれる不要信号成分を抑圧するアダプティブビーム形成手段とを具備し、

任意の方向に対して制御チャンネルのレスポンスがあり、かつ任意の方向に制御チャンネル選択について複数の自由度があることを特徴とするアダプティブアレイアンテナ装置。

【請求項4】前記アダプティブビーム形成手段は、前記選択制御チャンネルにリミッタをかけるようにしたことを特徴とする請求項1、3いずれか記載のアダプティブアレイアンテナ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、アンテナアレイに入力される不要信号を自動的に抑圧するアダプティブアレイアンテナ装置に関する。

【0002】

【従来の技術】従来の1次元のデジタルビームフォーミング（以下、DBFと記す）を行うアレイアンテナ装置は、放射素子出力のうち仰角方向もしくは方位方向のいずれか一方の信号をアナログ合成し、その出力に対して周波数変換及びデジタル変換を行った後、デジタルビームを形成するように構成される。

【0003】図16ははその具体的な構成を示すもので、各アンテナ素子11～MNの仰角方向出力はアナログビーム形成回路21～2Mでアナログ合成される。この際、アナログビーム形成回路21～2Mにおいて、上下に開口2分割してアナログビーム形成回路21～2Mの一部であるRFハイブリッド回路を用いて各アナログ合成出力の和と差をとることにより、モノパルスビームで用いる和ビームΣ1～ΣMと差ビームΔ1～ΔMとが得られる。

【0004】和ビームΣ1～ΣMの出力と差ビームΔ1～ΔMの出力は、それぞれ周波数変換器31、32で周波数変換され、アナログ/デジタル（以下A/Dと記す）変換器41、42でデジタル信号に変換された後、主ビーム形成回路51、52によりデジタルビーム形成される。主ビーム形成回路51は、方位方向に開口2分割して仰角方向の和ビームΣ1～ΣMの和と差をとって

10

20

30

40

50

3

和ビーム Σ と方位ビーム $\Delta A Z$ を得る。また、主ビーム形成回路52は、仰角方向の差ビーム $\Delta 1 \sim \Delta M$ を方位方向に加算して仰角ビーム $\Delta E L$ を得る。

【0005】上記1次元DBF方式のアレイアンテナ装置において、主ビーム形成回路51、52に含まれる不要波を抑圧する方式として、例えばA/D変換器41、42のデジタルの和ビーム及び差ビームのうちいずれか一方(図16では差ビームの場合を示している)を制御チャンネル**b1**~**bM**としてアダプティブビーム形成回路70に入力し、このアダプティブビーム形成回路70

に設けられたプリプロセッサ回路及びキャンセレーション回路を用いて、不要波を抑圧する方式がある(特許第1816548号参照)。

【0006】ここで、プリプロセッサ回路は制御チャンネルに含まれる複数の不要信号成分を分解する機能を持ち、キャンセレーション回路は分割された不要信号成分を用いてビーム出力に含まれる不要信号成分を抑圧する機能を持つ。

【0007】上述の不要波抑圧方式について、図17から図21を参照してその処理動作と問題点を説明する。まず、和ビーム $\Sigma 1 \sim \Sigma M$ を制御チャンネルとする場合について説明する。図17に制御チャンネルを選択する列の例を示し、図18に和ビーム $\Sigma 1 \sim \Sigma M$ の制御チャンネルパターンを示す。

【0008】今、図19に示す方向から不要波が到来する場合を考える。この場合、アダプテーションを行うことにより、不要波方向にアンテナのヌルが形成されるが、方位方向の1次元に配置された制御チャンネルを用いてアダプテーションを行っているため、1次元の軸(図ではy軸)に對称な円錐状のヌルが形成されることになる。

【0009】したがって、不要波は抑圧できるが、不要波方向以外の円錐状のヌルの方向には主ビームを形成できないことになる。これは、主ビーム形成方向に制約を与えることになり、例えばレーダシステムとしては好ましくない。

【0010】次に、差ビーム $\Delta 1 \sim \Delta M$ を制御チャンネルとする場合について説明する。制御チャンネルを選択する列の例は図17と同様である。図20に差ビーム $\Delta 1 \sim \Delta M$ の制御チャンネルパターンを示す。

【0011】今、図21に示す方向から不要波が到来する場合を考える。この場合、アダプテーションを行っても、主ビーム方向にレスポンスを有しない制御チャンネルを用いているため、主ビームには影響を与えない。但し、差ビームを制御チャンネルとしているため、差ビームのヌル方向から不要波が到来すると、この不要波を抑圧できないことになる。

【0012】また、制御チャンネルとするサブアレイの位相中心は、図17に示すように1次元の軸に並んでいる。このため、制御チャンネルとして和ビームまたは差

4

ビームのみを選択する場合には、1次元の軸に直交する方向に自由度がなく、その方向から到来する複数の不要波を抑圧することができない。

【0013】

【発明が解決しようとする課題】以上述べたように従来のアダプティブアレイアンテナ装置では、和ビームまたは差ビームのいずれか一方を制御チャンネルとして用いているため、主ビーム形成方向ならびに不要波抑圧方向に制約を与えるという問題があった。

10 【0014】この発明は上記の課題を解決するためになされたもので、主ビーム方向ならびに不要波抑圧方向に制約を与えないDBF方式のアダプティブアレイアンテナ装置を提供することを目的とする。

【0015】

【課題を解決するための手段】本願第1の発明に係るアダプティブアレイアンテナ装置は、特定方向に沿って複数列に配置され、各列でアンテナ開口長が異なる面アレイを形成する複数のアンテナ素子と、これら複数のアンテナ素子の出力信号を列毎に開口2分割し、それぞれの列でアナログ合成して第1、第2の Σ ビームを形成するアナログビーム形成手段と、前記第1、第2の Σ ビーム出力を直接または周波数変換した後デジタル信号に変換する信号処理手段と、この信号処理手段から出力されるデジタル信号を用いてデジタルビーム形成を行うことにより Σ ビーム、 $\Delta A Z$ ビーム、 $\Delta E L$ ビームを得る主ビーム形成手段と、前記信号処理手段から出力されるデジタル信号の和と差をとることにより和ビームと差ビームを形成するハイブリッド合成手段と、このハイブリッド合成手段の入力信号、出力信号の少なくとも一部の組み合わせにより制御チャンネルを選択し、選択制御チャンネルの信号に基づいて前記主ビーム形成手段で得られる Σ ビーム、 $\Delta A Z$ ビーム、 $\Delta E L$ ビームについてアダプテーション処理を行って各成分に含まれる不要信号成分を抑圧するアダプティブビーム形成手段とを具備し、任意の方向に対して制御チャンネルのレスポンスがあり、かつ任意の方向に制御チャンネル選択について複数の自由度があることを特徴とする。

20 【0016】また、第1の発明において、前記アナログビーム形成手段は、前記主ビーム形成手段の入力のうち制御チャンネルとして選択しない入力に対応する列の出力について、前記ハイブリッド合成手段の代わりに Σ ビームと Δ ビームを形成するようにしたことを特徴とする。

30 【0017】本願第2の発明に係るアダプティブアレイアンテナ装置は、第1の方向に沿って複数列に配置されて面アレイを形成する複数のアンテナ素子と、これら複数のアンテナ素子の出力信号を複数列で開口2分割し、それぞれの列でアナログ合成して第1の Σ ビーム及び Δ ビームを形成する第1のアナログビーム形成手段と、この手段の選択列以外の列で互いに位相中心が異なる位置

50

5

にサブアレイを形成し、サブアレイのアンテナ素子出力をアナログ合成して第2のΣビームを形成すると共にサブアレイで分割される領域のアンテナ素子出力を加算して第3のΣビームを形成する第2のアナログビーム形成手段と、前記第1、第2のΣビーム出力を直接または周波数変換した後デジタル信号に変換する第1の信号処理手段と、前記第3のΣビーム出力及び前記Δビーム出力を直接または周波数変換した後デジタル信号に変換する第2の信号処理手段と、前記第1の信号処理手段の第2のΣビーム出力と前記第2の信号処理手段の第3のΣビーム出力をデジタル加算する加算手段と、この手段から出力されるΣビームと前記第1の信号処理手段の第1のΣビームとのΣビーム及びΔAZビームを得る第1の主ビーム形成手段と、前記第2の信号処理手段のΔビーム出力からΔELビームを得る第2の主ビーム形成手段と、前記第1の信号処理手段の第2のΣビーム出力の少なくとも一部の組み合わせにより制御チャンネルを選択し、選択制御チャンネルの信号に基づいて前記第1、第2の主ビーム形成手段で得られるΣビーム、ΔAZビーム、ΔELビームについてアダプテーション処理を行って各成分に含まれる不要信号成分を抑圧するアダプティブビーム形成手段とを具備し、任意の方向に対して制御チャンネルのレスポンスがあり、かつ任意の方向に制御チャンネル選択について複数の自由度があることを特徴とする。また、第1、第2の発明において、前記アダプティブビーム形成手段は、前記選択制御チャンネルにリミッタをかけるようにしたことを特徴とする。

【0018】

【作用】本願第1、第2の発明においては、異なる指向性形状を持ち、かつ任意の軸に対して複数の自由度を持つ制御チャンネルが構成でき、任意の方向からの複数の不要波を抑圧することができる。ここで、制御チャンネルはリミッタがかけられ、主ビームの乱れは少なくできる。

【0019】

【実施例】以下、図1から図15を参照してこの発明の実施例について詳細に説明する。まず、図1乃至図10を用いてこの発明に係る第1の実施例について説明する。尚、図1において図16と同一部分には同一符号を付して説明する。

【0020】図1は1次元FBF方式のアダプティブアレイアンテナ装置の構成を示すブロック図である。図1において、各アンテナ素子11~MNに入力された信号は、アナログビーム形成回路21~2Mにより仰角方向に合成される。アナログビーム形成回路21~2Mの開口2分割された和ビーム出力Σ11~Σ1M及びΣ21~Σ2Mの高周波信号(RF信号)は、直接またはそれぞれ周波数変換器31、32により中間周波数信号(IF信号)に変換された後、A/D変換器41、42によりI信号(同相成分)とQ信号(直交成分)のデジタル

6

信号に変換される。

【0021】各チャンネルのデジタル信号は、それぞれハイブリッド回路81~8Mに入力される。ハイブリッド回路81~8Mは具体的には図2に示すように構成され、入力A、BについてA+B、A-Bを演算出力する。すなわち、ハイブリッド回路81~8Mからは、Σ1i'とΣ2i'(i=1~M)の和と差の演算よりそれぞれΣ1~ΣM及びΔ1~ΔMが出力される。これらの信号はさらに主ビーム形成回路51、52に入力される。

【0022】主ビーム形成回路51、52は一般に図3に示すように構成されている。ここでは主ビーム形成回路51を代表して説明する。図3において、入力されたデジタルの和ビームΣ1~ΣMは、それぞれ順次遅延時間の異なる遅延回路511で所定の遅延が与えられた後、演算セルA(51211~512M1)に入力されると共に演算セルA(51212~512M2)に入力される。

【0023】演算セルA(51211~512M1、51212~512M2)は、図4に示すように乗算器A1及び加算器A2で構成され、以下の演算を行う。

$$Y_{out} = Y_{in} + W \cdot X_{in}$$

W; 振幅、位相ウェイト(複素ウェイト)

つまり、素子入力 X_{in} に複素ウェイトWを乗じて隣接セルからの信号 Y_{in} を加算して出力 Y_{out} とする。

【0024】演算セルA(51211~512M1、51212~512M2)はシストリックアレイ状に接続され、これにより一方端から主ビーム出力が得られる。この際、主ビーム形成回路51において方位方向に開口2分割して仰角方向の和ビームΣ1~ΣMの和と差をとることにより、ビーム和出力Σとビーム方位出力ΔAZが得られる。一方、主ビーム形成回路52においては、仰角方向の差ビームΔ1~ΔMを方位方向に加算することにより、仰角出力ΔELが得られる。

【0025】ここで、不要波を抑圧するため、図1に示すように、Σ1i'、Σ2i'及びΣi、Δiの一部または全部を組み合わせると不要波が到来する方向に対してレスポンスをもつように、かつ任意の軸に対して制御チャンネルの位相中心が複数の自由度を持つように、L個の制御チャンネルb1~bLを選択して、アダプティブビーム形成回路70に入力する。この制御チャンネルの選択及び選択された制御チャンネルのアンテナパターン例をそれぞれ図8及び図9に示す。

【0026】図5はアダプティブビーム形成回路70の内部構成を示すもので、制御チャンネルはそれぞれアンプ回路710に入力され、順次遅延時間の異なる遅延回路711でタイミングが合わされた後、演算セルB(7121~712L)及び演算セルC(7131~713L1、71332~713L2、71343~713L3、…、713L(L-1))で以下の演算

が行われる。

【0027】演算セルB

$$Y_{out1}(n) = X_{in}(n)$$

$$Y_{out2}(n) = X_{in}^*(n) / |X_{in}(n)|$$

演算セルC

$$W(n) = a \cdot W(n-1) + g \cdot X_{out}(n-1) \cdot Y_{in2}(n-1)$$

$$X_{out}(n-1) = X_{in}(n-1) - Y_{in1}(n-1) \cdot W(n-1)$$

a; 定数

n; サンプル時間

*; 複素共役

g; 定数

演算セルBは、図6に示すように、規格化部B1及び複素共役化部B2で構成されるもので、素子入力 X_{in} を出力 Y_{out1} とすると共に、素子入力 X_{in} を規格化部B1及び複素共役化部B2を直列に介して出力 Y_{out2} とする。

【0028】演算セルCは、図7に示すように、乗算器C3、加算器C4、サンプル遅延器C5、係数器C6、係数器C7及びリミッタC8を用いて現サンプルの複素ウェイト $W(n)$ とすると共に、乗算器C2で1サンプル前の出力 $Y_{out1}(n-1)$ と1サンプル前の複素ウェイト $W(n-1)$ とを乗じ、これを減算器C1で1サンプル前の素子入力 $X_{in}(n-1)$ から減じて出力 $X_{out}(n-1)$ とする。

【0029】つまり、演算セルBは入力電力の規格化を行い、演算セルCは入力 X_{in} の成分のうち Y_{in} と相関をもつ信号成分を取り除くものである。これらの演算セルB、Cを図5のアダプテッサ回路710に示すようにシストリックアレイ状に接続すると、各段はグラムシュミットの直交化を用いて入力信号を分解した場合と同様の出力が得られる。これらの分解された信号は、図5に示すキャンセル回路720に入力される。

【0030】このキャンセル回路720に入力された分解信号は、順次時間の異なる遅延回路721を介してシストリックアレイ状に接続された演算セルC(72211~72231、72212~72232、...、7221L~7223L)に入力される。

【0031】すなわち、このキャンセル回路720は、主ビーム形成回路51、52の各出力に含まれる不要信号をアダプテッサ回路710の分解信号を用いて抑圧するものである。つまり、主ビーム形成回路51、52の和ビーム Σ 、方位ビーム $\Delta A Z$ 及び仰角ビーム $\Delta E L$ がそれぞれ各列に入力され、これらのビーム出力のうち大電力を有する成分が順次除去され、最終段の演算セルC(7221L~7223L)にはアダプテーションが行われたビーム出力が得られる。

【0032】上記構成において、不要波を抑圧する場合の処理動作を説明する。不要波を抑圧するには、制御チャンネルのうち不要波方向にレスポンスをもつチャン

ネルが動作する。したがって、複数の方向をもつ不要波の場合には、それぞれの不要波方向にレスポンスをもつ制御チャンネルが動作することになる。

【0033】ここで、和ビーム制御チャンネルでは、アダプティブビーム形成回路70の演算セルCに設けられたリミッタC8で複素ウェイト W を制限し、アダプテーションによって主ビームを乱さないようにしている。リミッタC8でのリミット値は、主ビームのサイドローブを抑圧できる程度に選択すればよい。

10 【0034】したがって、上記構成によるアダプティブアレイアンテナ装置は、異なる指向性形状を持ち、かつ任意の軸に対して複数の自由度を持つ制御チャンネルが構成できるので、任意の方向からの複数の不要波を抑圧することができる。また、制御チャンネルに対してリミッタをかけるようにしているため、主ビームの乱れを少なくすることができる。

20 【0035】尚、上記実施例では、アダプティブビーム形成回路70の構成として、プリプロセス回路710とキャンセル回路720を用いたオープンループ方式の場合について述べたが、クローズドループ方式の場合についても適用できる。

【0036】図10はその構成を示すもので、キャンセル回路7201~7203を用いたクローズドループ方式としている。各制御チャンネルb1~bLは各キャンセル回路7201~7203の演算セルCを構成する乗算器C2、C3に入力され、図7で説明した場合と同様の演算が行われる。

30 【0037】ここで、7201の回路において、各乗算器C2の出力は加算器C9で加算された後、減算器C1で和ビーム Σ から減算され、これによってアダプティブビーム Σ が得られる。以下、アダプティブビーム $\Delta A Z$ 、 $\Delta E L$ についても他のキャンセル回路7202、7203によって同様にして得られる。

【0038】以上、単ビームの場合について説明したが、図11に示すようにマルチビーム形成にも適用できる。この構成は図1の構成を複数(図では2系統)にしたもので、他の構成については全く同じである。尚、図11において、図1と同一部分には同一符号を付して示し、また、拡張された系統の同一部分には同一符号に「'」を付して示し、それぞれの説明を省略する。

40 【0039】尚、上記実施例では、仰角方向にアナログビームを形成し、方位方向にDBFを行う場合について説明したが、方位方向にアナログビームを形成し、仰角方向にDBFを行う場合にも適用できることは勿論である。また、和ビーム Σ 、方位ビーム $\Delta A Z$ 及び仰角ビーム $\Delta E L$ のモノパルスビームを形成する場合について述べたが、和ビーム Σ のみ形成する場合についても同様の方式が適用できる。

50 【0040】続いて、図12から図15を用いてこの発明に係る第2の実施例を説明する。尚、図12において

図1と同一部分には同一符号を付して説明する。図12は1次元DBF方式のアダプティブアレイアンテナ装置の構成を示すブロック図である。

【0041】図12において、各アンテナ素子11~M Nに入力された信号は、アナログビーム形成回路2:1~2Mにより仰角方向にモノパルス合成されて Σj と Δj ($j=1\sim M-L$)を得る。ここで、アナログビーム形成回路のうち、一部の列からは制御チャンネル信号を取り出すためのサブアレイ出力 Σsi ($i=1\sim L$)とそれ以外の信号が取り出され、後者の信号はアナログ合成器91~9Lにより合成されて Σoi ($i=1\sim L$)を得る。

【0042】これらの信号は直接または周波数変換器31、32により中間周波数信号(IF信号)に変換された後、A/D変換器41、42によりI信号(同相成分)とQ信号(直交成分)のデジタル信号 $\Sigma j'$ 、 $\Delta j'$ ($j=1\sim M-L$)と $\Sigma si'$ 、 $\Sigma oi'$ ($i=1\sim L$)に変換される。ここで、「'」はアナログ信号をデジタル信号に変換したことを表す。

【0043】これらの信号のうち $\Sigma si'$ と $\Sigma oi'$ はデジタル加算器101~10Lに入力される。これらのデジタル加算器101~10Lは図13に示すように入力A、Bを加算してA+Bとして出力するものである。すなわち、 $\Sigma si'$ と $\Sigma oi'$ はデジタル加算器101~10Lにより加算され、これにより $\Sigma soi'$ ($i=1\sim L$)が得られる。

【0044】デジタル信号 $\Sigma j'$ 、 $\Delta j'$ 、 $\Sigma soi'$ はさらに主ビーム形成回路51、52に入力される。主ビーム形成回路51、52は図3に示した構成と同様である。主ビーム形成回路51において、入力デジタル信号 $\Sigma j'$ ($j=1\sim M-L$)と $\Sigma soi'$ ($i=1\sim L$)は、それぞれ順次遅延時間の異なる遅延回路511で所望の遅延が与えられた後、演算セルA(512:11~512M1)に入力されると共に演算セルA(512:12~512M2)に入力されて、前述の演算処理が行われる。

【0045】すなわち、方位方向に開口2分割して仰角方向の和ビーム Σj ($j=1\sim M-L$)と $\Sigma soi'$ ($i=1\sim L$)の和と差をとることにより、ビーム和出力 Σ とビーム方位出力 ΔAZ が得られる。同様に、主ビーム形成回路52において、仰角方向の差ビーム Δj ($j=1\sim M-L$)を方位方向に加算することにより仰角出力 ΔEL が得られる。

【0046】ここで、不要波を抑圧するため、図12に示すように、不要波が到来する方向に対してレスポンスをもつように、かつ任意の軸に対して位相中心が複数の自由度を持つように制御チャンネル $\Sigma si'$ ($i=1\sim L$)を選択して、アダプティブビーム形成回路70に入力する。この制御チャンネルの選択及び制御チャンネルのパターンの例をそれぞれ図14及び図15に示す。

【0047】尚、アダプティブビーム形成回路70の内部構成は図5または図10に示したものと全く同構成であるので、ここではその説明を省略する。すなわち、上記構成によっても、位相中心が制御チャンネル毎に異なっているため、不要波を抑圧する際には、制御チャンネルのうち不要波方向にレスポンスをもつチャンネルが動作する。したがって、複数の方向をもつ不要波の場合には、それぞれの不要波方向にレスポンスをもつ制御チャンネルが動作することになり、任意の方向からの複数の不要波を抑圧することができる。

【0048】ここで、第1の実施例と同様に、和ビーム制御チャンネルについて、アダプティブビーム形成回路70の演算セルCを設けられたリミッタC8で複素ウェイトWを制限することで、アダプテーションによって主ビームを乱さないようにすることができる。

【0049】

【発明の効果】以上説明したようにこの発明によれば、主ビーム形成方向ならびに不要波抑圧方向に制約を与えないDBF方式のアダプティブアレイアンテナ装置を提供することができる。

【図面の簡単な説明】

【図1】 この発明に係る第1の実施例としての1次元DBF方式のアダプティブアレイアンテナ装置の構成図である。

【図2】 図1に示したハイブリッド回路の具体例を示す構成図である。

【図3】 図1に示した主ビーム形成回路をシストリックアレイ方式により実現する場合の構成図である。

【図4】 図3に示した主ビーム形成回路の演算セルAの具体例を示す構成図である。

【図5】 図1に示したアダプティブビーム形成回路をシストリックアレイ方式により実現する場合の構成図である。

【図6】 図4に示したアダプティブビーム形成回路の演算セルBの具体例を示す構成図である。

【図7】 図4に示したアダプティブビーム形成回路の演算セルCの具体例を示す構成図である。

【図8】 同実施例の制御チャンネルの選択を示す図である。

【図9】 同実施例の制御チャンネルのアンテナパターンを示す図である。

【図10】 図1に示したアダプティブビーム形成回路をクローズドループのシストリックアレイ方式により実現する場合の実施例を示す構成図である。

【図11】 この発明をマルチビーム形成へ応用した場合の構成図である。

【図12】 この発明に係る第2の実施例を示す構成図である。

【図13】 図12に示した加算回路の具体例を示す構成図である。

11

【図14】 同実施例の制御チャンネルの選択を示す図である。

【図15】 同実施例の制御チャンネルのアンテナパターンを示す図である。

【図16】 従来の1次元DBF方式アダプティブアレィアンテナ装置の構成図である。

【図17】 従来の不要波抑圧方式において、和ビームまたは差ビームのみを選択する場合の制御チャンネルの列の例を示す図である。

【図18】 図17の例における和ビームを制御チャンネルとして選択した場合のアンテナパターンを示す図である。

【図19】 従来の不要波抑圧方式において、和ビームを制御チャンネルとした場合の問題点を説明するための図である。

【図20】 図17の例における差ビームを制御チャンネル

12

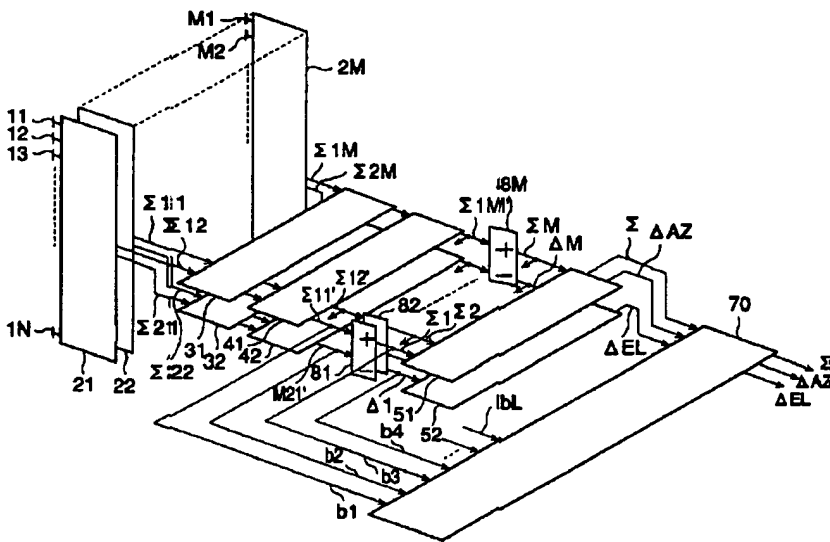
ネルとして選択した場合のアンテナパターンを示す図である。

【図21】 従来の不要波抑圧方式において、差ビームを制御チャンネルとした場合の問題点を説明するための図である。

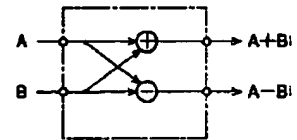
【符号の説明】

- 11~MN...アンテナ素子
- 21~2M...アナログビーム形成回路
- 31, 32...周波数変換器
- 41, 42...アナログ/デジタル変換器
- 51, 52...主ビーム形成回路
- 70...アダプティブビーム形成回路
- 81~8M...ハイブリッド回路
- 91~9L...アナログ合成器
- 101~10L...デジタル加算器

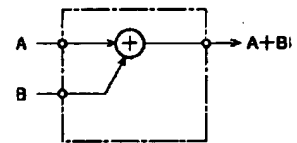
【図1】



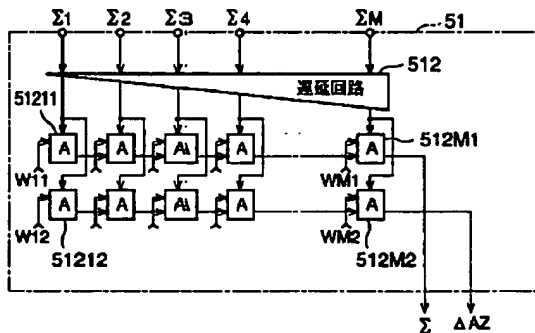
【図2】



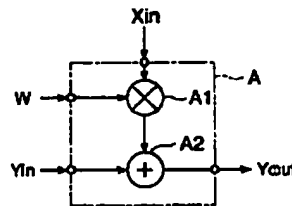
【図13】



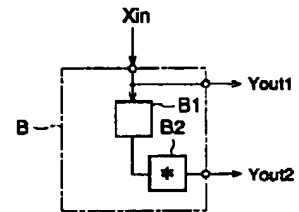
【図3】



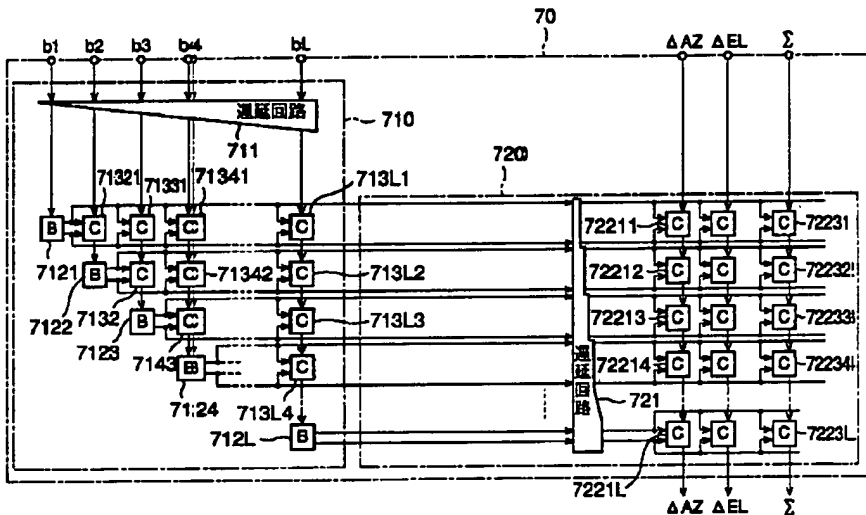
【図4】



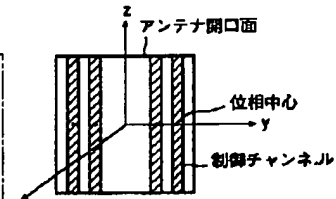
【図6】



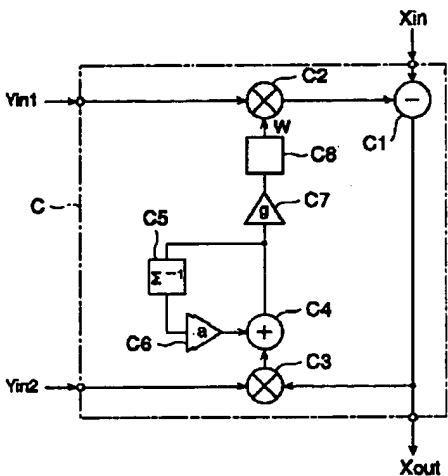
【図5】



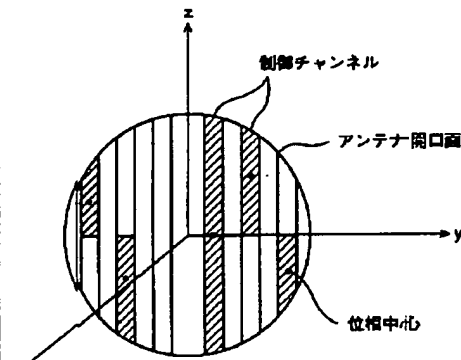
【図17】



【図7】

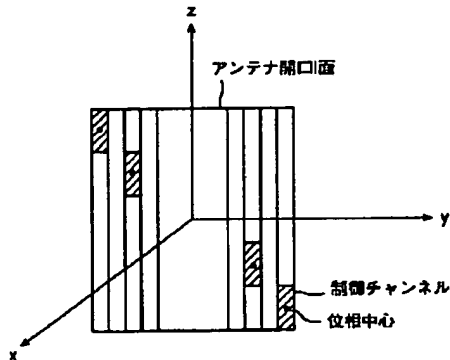
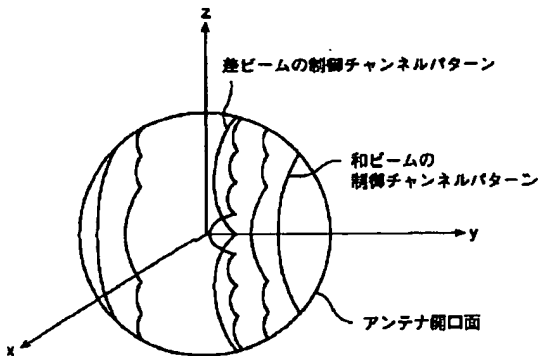


【図8】

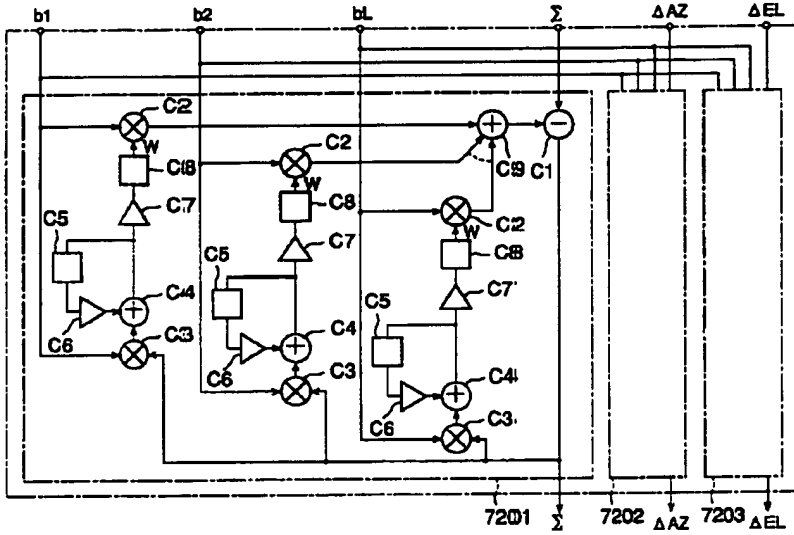


【図14】

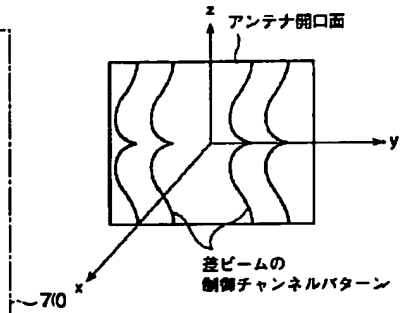
【図9】



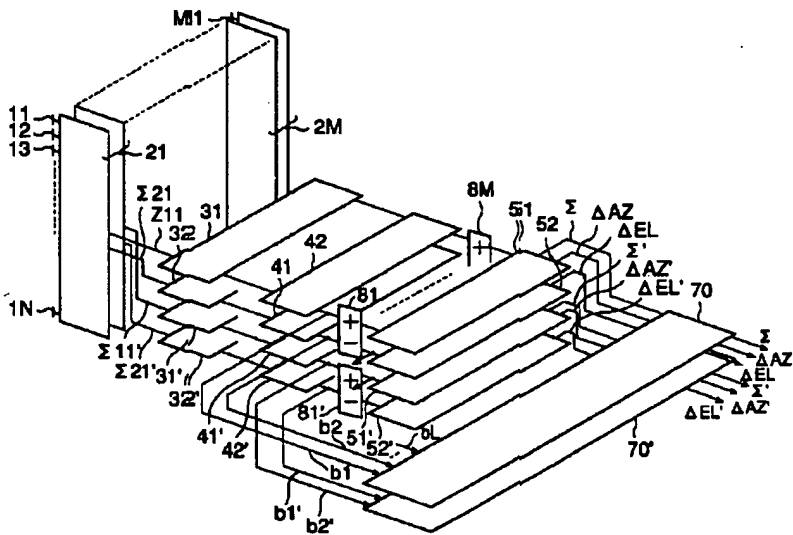
【図10】



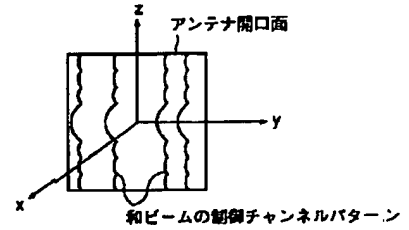
【図20】



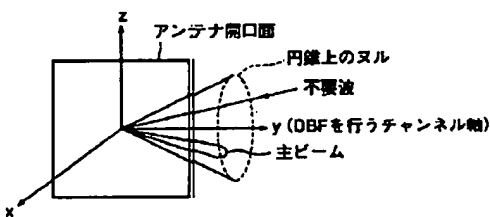
【図11】



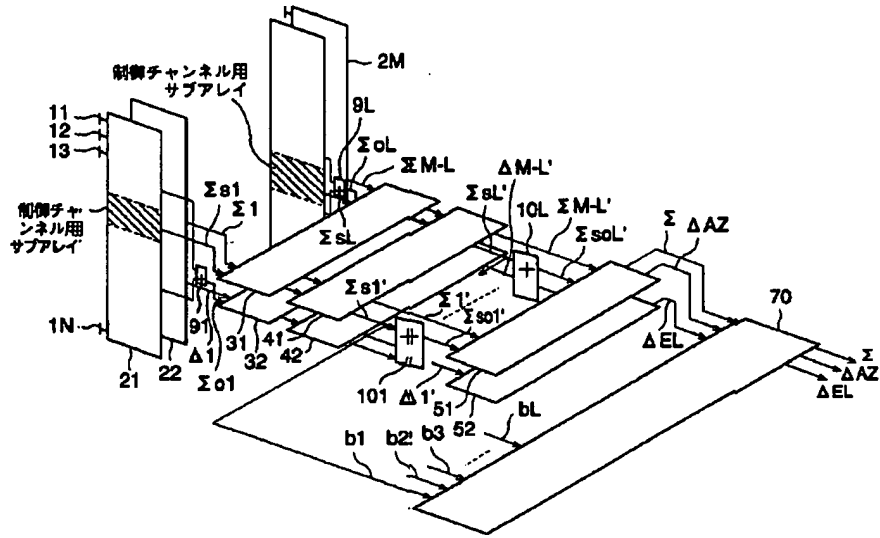
【図18】



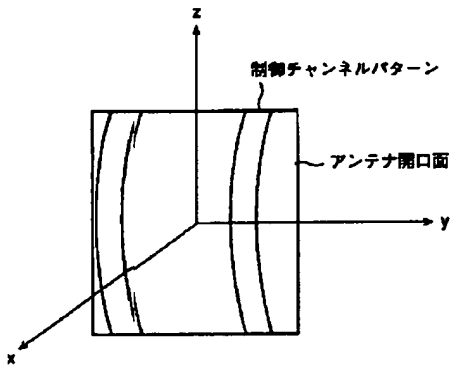
【図19】



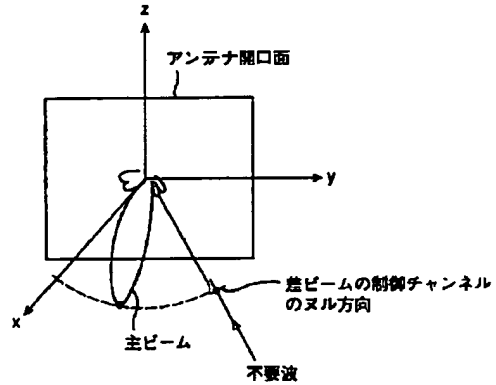
【図12】



【図15】



【図21】



【図16】

